

Piedinatura del microprocessore INTEL 8086

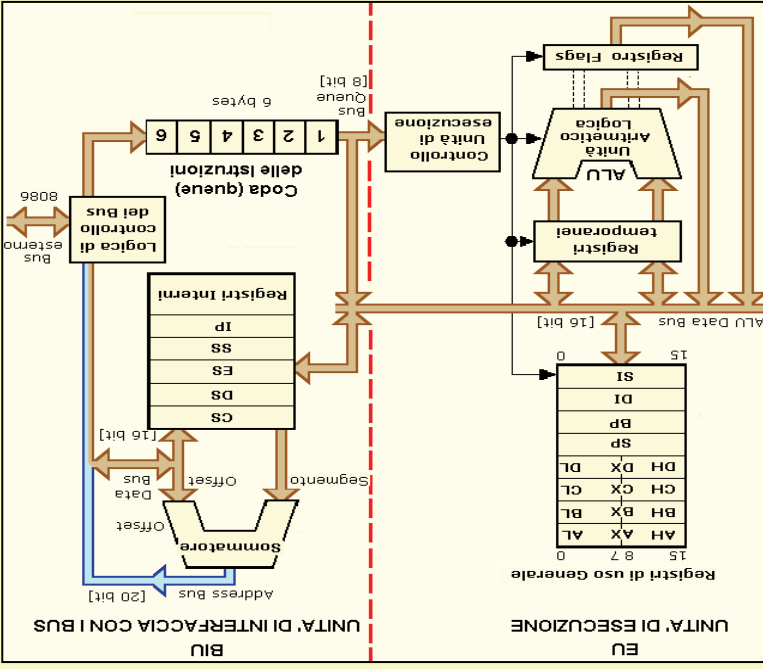
Introdotta sul mercato nel giugno 1978

Primo processore a 16 bit

Costituito da due unità che operano in modo parzialmente indipendente e asincrono:

EU - Execution Unit

BIU - Bus Interface Unit



Microprocessore Intel 8086

Sintesi delle caratteristiche del processore Intel 8086

- frequenza da 5 a 10MHz;
- 14 registri a 16 bit;
- bus dati a 16 bit;
- bus indirizzi a 20 bit;
- indirizzamento di 1 MB di memoria (organizzazione della memoria a segmenti di 64 KB);
- dimensione delle celle di memoria: 1 byte;
- contenitore a 40 pin disposti su due linee da 20 ciascuna;
- set di 70 istruzioni di base: operazioni aritmetiche (binarie e BCD)
- può lavorare in *minimum-mode* (un solo processore) o *maximum-mode* (con più processori o almeno un coprocessore)
- può supportare il coprocessore matematico 8087 per le operazioni in virgola mobile (floating point).

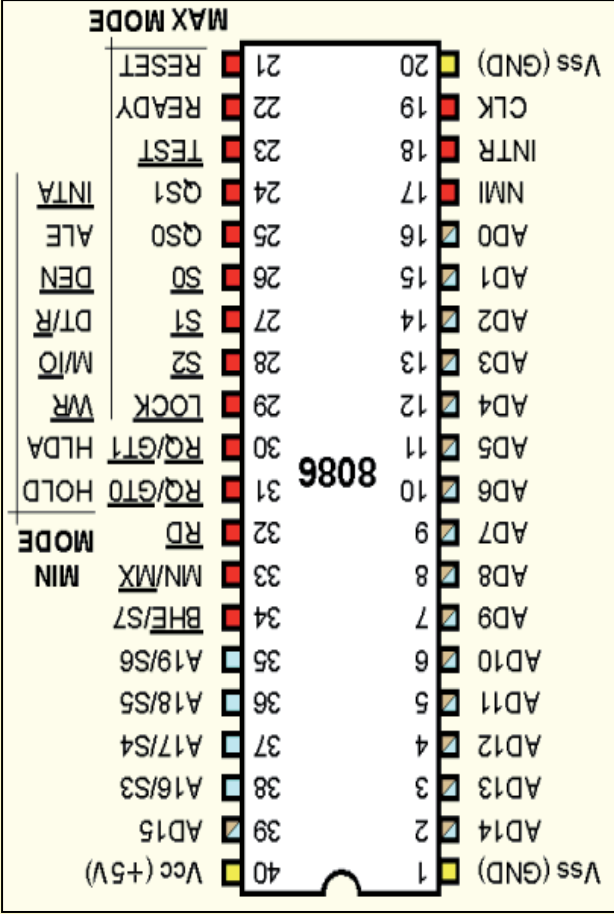
20 Linee d'indirizzo (bus indirizzi)
16 Linee di dato (bus dati),
2 per l'alimentazione (Vcc e GND)

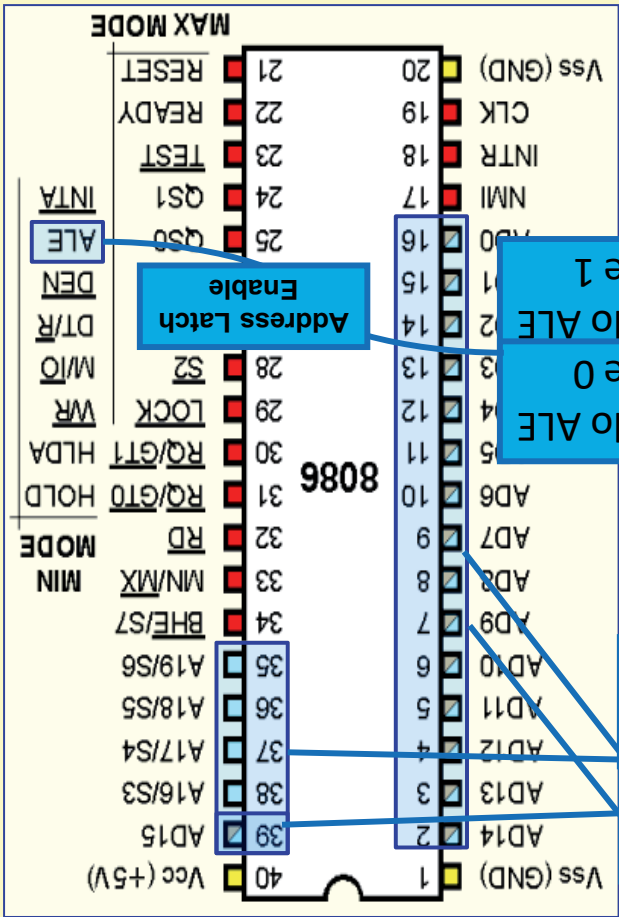
I limiti di questa struttura hanno imposto **scelte obbligate** ai progettisti.

Avendo solo **40** piedini a disposizione si doveva inventare qualcosa per **recuperare spazio**:

16 pin sono stati destinati sia a tutte e 16 le linee del bus dati che alle prime 16 (su 20) linee del bus indirizzi

Microprocessore Intel 8086





durante gli altri stati T2, T3, T4 queste linee forniscono informazioni di stato: S3 e S4 individuano il segmento utilizzato nel ciclo di bus; S5 è uguale al flag di interrupt; S6 = 0 indica il collegamento dell'8086 al bus.

Durante il T1 su queste linee sono presenti i 4 bit più significativi A₁₆/S₃, A₁₇/S₄, A₁₈/S₅, A₁₉/S₆

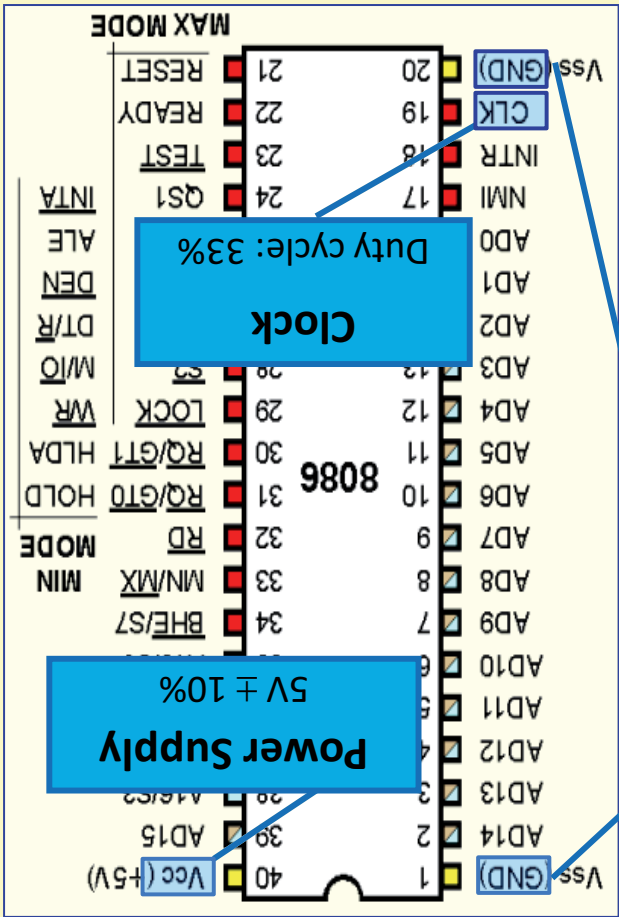
l'indirizzo, mentre negli altri periodi di clock T2, T3, T4 transistano i dati. dispositivi di I/O, su questi pin transita un ciclo di accesso alla memoria o ai

AD⁰-AD¹⁵ Durante il primo periodo di clock T1, in un ciclo di accesso alla memoria o ai dispositivi di I/O, su questi pin transita l'indirizzo, mentre negli altri periodi di clock T2, T3, T4 transistano i dati.

GND Massa
VCC Alimentazione
CLK Segnale di clock

Piedinatura /1

Microprocessore Intel 8086



durante gli altri stati T2, T3, T4 queste linee forniscono informazioni di stato: S3 e S4 individuano il segmento utilizzato nel ciclo di bus; S5 è uguale al flag di interrupt; S6 = 0 indica il collegamento dell'8086 al bus.

Durante il T1 su queste linee sono presenti i 4 bit più significativi A₁₆/S₃, A₁₇/S₄, A₁₈/S₅, A₁₉/S₆

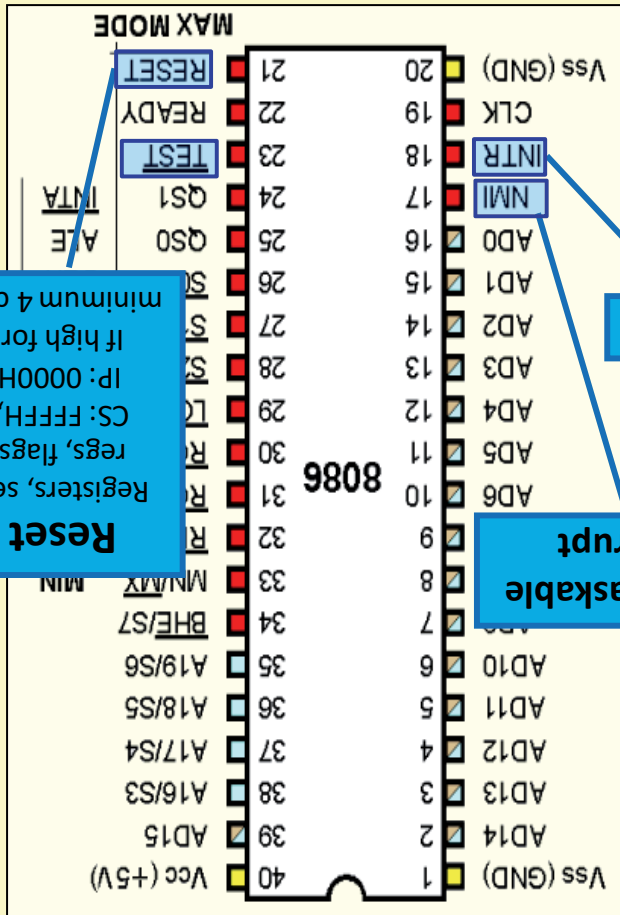
l'indirizzo, mentre negli altri periodi di clock T2, T3, T4 transistano i dati. dispositivi di I/O, su questi pin transita un ciclo di accesso alla memoria o ai

AD⁰-AD¹⁵ Durante il primo periodo di clock T1, in un ciclo di accesso alla memoria o ai dispositivi di I/O, su questi pin transita l'indirizzo, mentre negli altri periodi di clock T2, T3, T4 transistano i dati.

GND Massa
VCC Alimentazione
CLK Segnale di clock

Piedinatura /1

Microprocessore Intel 8086



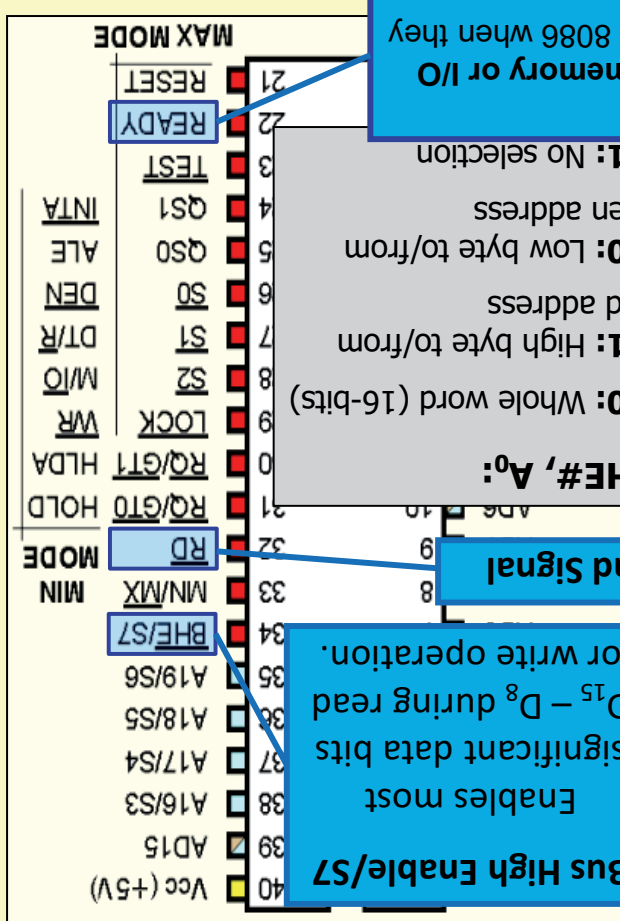
Reset
Registers, seg
regs, flags
CS: FFFFH,
IP: 0000H
If high for
minimum 4 clks

Interrupt request

**Non - maskable
interrupt**

TEST
Segnale di ingresso che viene esaminato dall'istruzione **Wait**. Se TEST è basso si arresta e rimane in attesa fino a quando TEST non ritorna a 0.
NMI
Richiesta di interruzione non mascherabile.
INTR
Richiesta di interruzione mascherabile.
RESET
Fa terminare l'attività in corso della CPU. È attivo quando è alto, azzerata alcuni registri, elimina la coda di pipeline e mette la CPU in condizione di leggere l'istruzione memorizzata nella locazione FFFF0h. Quando ritorna basso, la CPU riprende il suo funzionamento come se fosse stato accesso per la prima volta.

Piedinatura /3



Bus High Enable/S7
Enables most significant data bits $D_{15} - D_8$ during read or write operation.

Read Signal

READY
can be supplied by the memory or I/O subsystem to signal the 8086 when they are ready

BHE/S7
Bus High Enable, attivo durante lo stato T_1 , determina il trasferimento tra CPU e memoria di un singolo byte o di tutta la parola a 16 bit. S7 viene usato quando è in corso un DMA.
RD
Read è attivo durante un ciclo di lettura dalla memoria o da un dispositivo di I/O.
READY
Segnale inviato dalla memoria o dal dispositivo di I/O per segnalare che l'operazione richiesta è stata terminata. Questo segnale deve essere sincronizzato con il clock.

Piedinatura /2

Piedinatura /4

MN/MX

Indica in quale modo deve operare il microprocessore, definendo le funzioni dei piedini da 24 a 31.

Significato dei piedini in modo minimo

M/IO

Indica se l'operazione in corso si riferisce alla memoria o a un dispositivo di I/O.

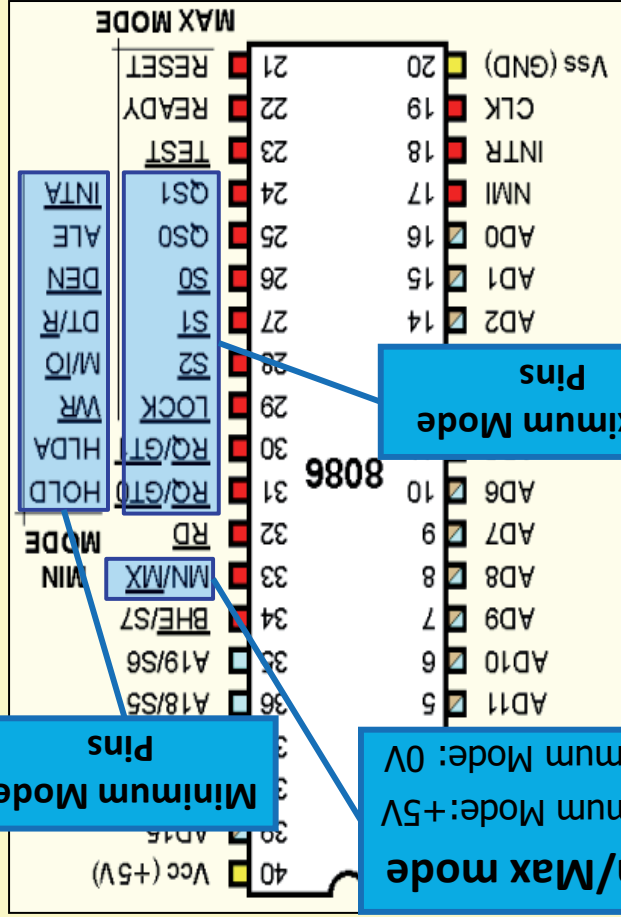
WR

Indica che il microprocessore sta effettuando un **ciclo di scrittura** in memoria o in un dispositivo di I/O.

INTA

Riconoscimento di interruzione mascherabile.

9



Piedinatura /4

MN/MX

Indica in quale modo deve operare il microprocessore, definendo le funzioni dei piedini da 24 a 31.

Significato dei piedini in modo minimo

M/IO

Indica se l'operazione in corso si riferisce alla memoria o a un dispositivo di I/O.

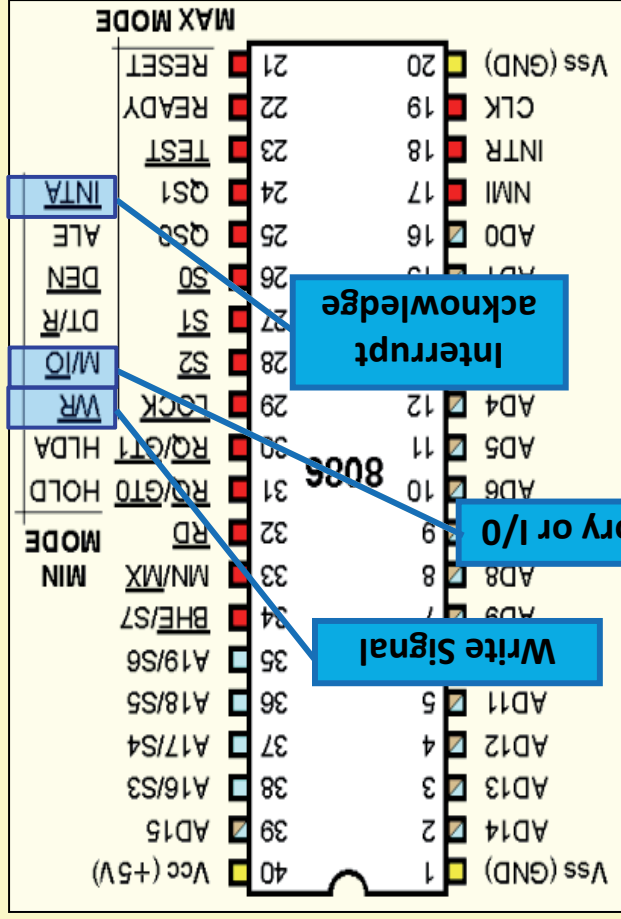
WR

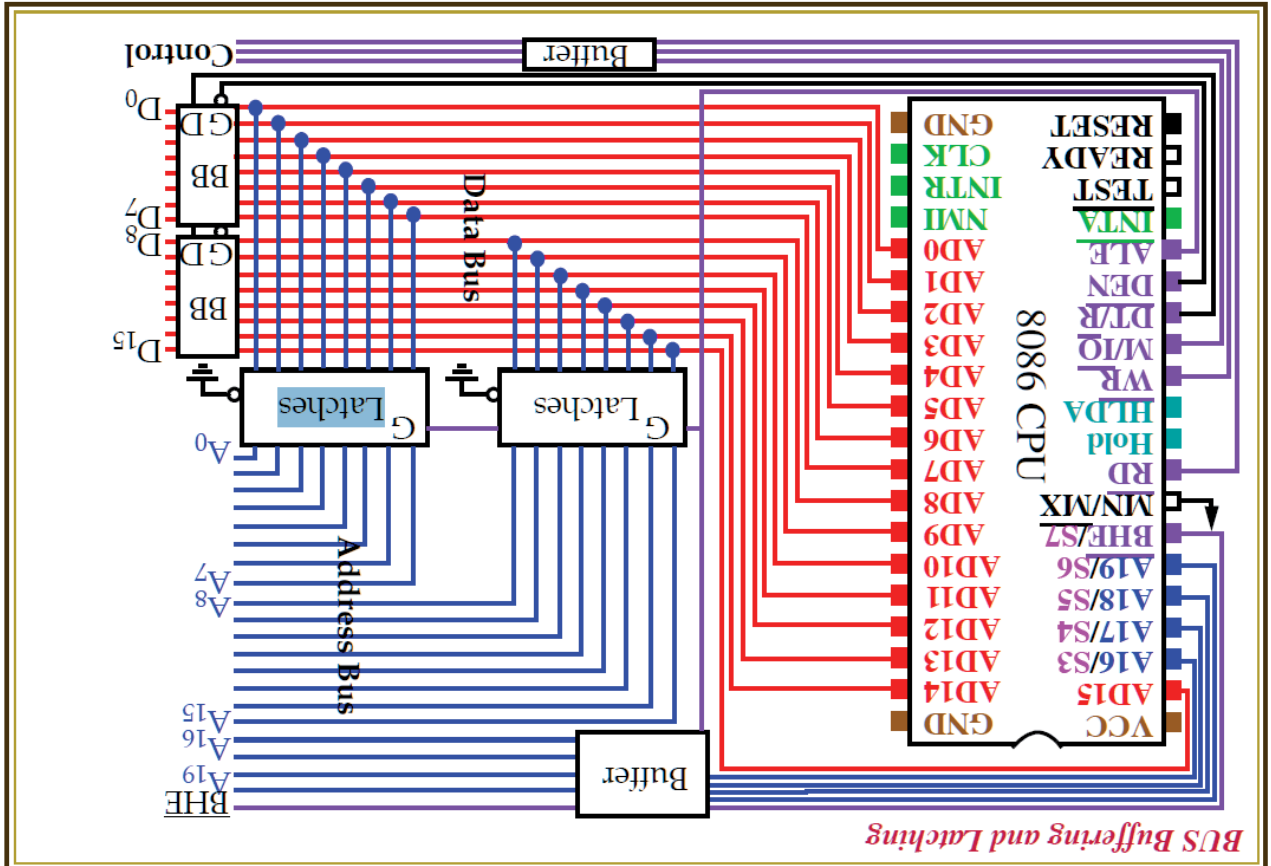
Indica che il microprocessore sta effettuando un **ciclo di scrittura** in memoria o in un dispositivo di I/O.

INTA

Riconoscimento di interruzione mascherabile.

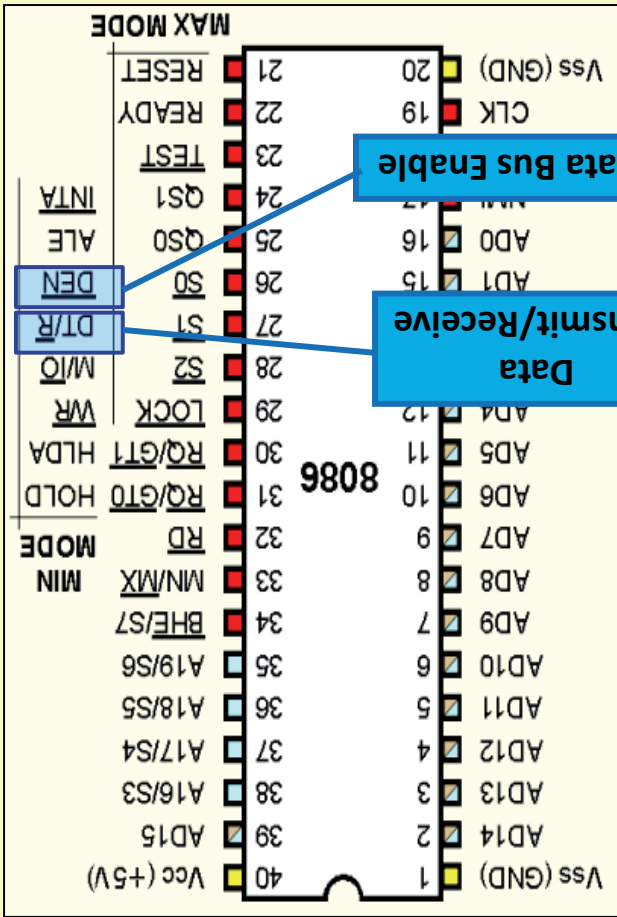
10





BUS Buffering and Latching

Microprocessor Intel 8086



Piedinatura /5

ALE Address Latch Enable è generato dal microprocessore per memorizzare esternamente un indirizzo. È attivo durante lo stato T₁.

DEN Data Bus Enable è attivo durante i cicli di accesso alla memoria o ai dispositivi di I/O e nei cicli di riconoscimento di interrupt.

DT/R Data Transmit/Receive è un segnale usato per controllare il verso di trasmissione dei dati, quando l'8086 è collegato a un trasceiver (trasmettitore-ricevitore) tipo 8286.

Esempio
 Descrivere il contenuto dei bus indirizzi, dati e di controllo quando viene eseguita l'istruzione:

```
MOV [1000H], BX
```

Si supponga che il registro DS = 09D3h e registro BX = 1234h.

Soluzione:

L'istruzione richiede una **scrittura in memoria** nella posizione 1000H del segmento dati.

In questo caso l'**indirizzo fisico** è : $09D30\text{ H} + 1000\text{ H} = 0AD30\text{ H}$

Il **bus indirizzi** conterrà il valore **0AD30h**

Il **bus dati** conterrà il valore **1234h**

Il **bus di controllo** conterrà il valore **scrittura in memoria**

T1: Questo **indirizzo** a 20 bit sarà posto sulle linee di indirizzo mentre ALE è a 1 e WR a 1

T2-T4: Il segnale WR di controllo passerà da 1 a 0 durante T2 ed il **bus di dati** assumerà il valore 1234h contenuto nel registro BX.

Il dato resterà sul bus fino a metà di T4 e la memoria riceverà i dati (scrittura).
T4: alla fine dello stato T4 il valore di WR tornerà a 1.

